

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,**  
**please do not report the images to the**  
**Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**

MENU

SEARCH

INDEX

DETAIL

BACK

NEXT

4/11



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 11238845

(43)Date of publication of application: 31.08.1999

(51)Int.Cl.

H01L 25/065  
H01L 25/07  
H01L 25/18

(21)Application number: 10037403

(71)Applicant:

TOSHIBA CORP

(22)Date of filing: 19.02.1998

(72)Inventor:

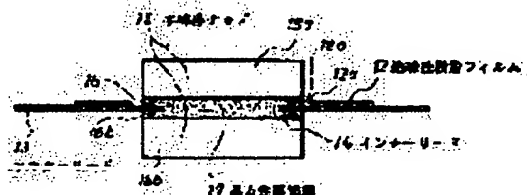
TAKAHASHI YUKIO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device, in which a mounting space of a semiconductor element is reduced in the thickness and width directions and functions such as high integration, large capacity and high speed for the semiconductor element are realized.

**SOLUTION:** In this semiconductor device, an outer lead 13 group is provided to extend outwardly on one face of an insulating resin film 12, and an inner lead 14 group is arranged so as to interconnect with these end parts. Two semiconductor chips 15 are disposed in a device hole 12a of such film 12, so that electrode formation faces are faced opposite to each other, respectively. The inner lead 14 is pinched between electrode bumps 16 of these semiconductor chips 15. Furthermore, the layer of an anisotropic conductive film 17 is provided between the opposite faces of semiconductor chips 15a, 15b of upper and lower two



**THIS PAGE BLANK (USPTO)**

steps and between each of the electrode bumps 16a, 16b and the inner lead 14, and an electrode terminal of the semiconductor chip 15 is connected electrically to the inner lead 14.

---

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

---

[MENU](#)[SEARCH](#)[INDEX](#)[DETAIL](#)[BACK](#)[NEXT](#)

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-238845

(43) 公開日 平成11年(1999) 8月31日

(51) Int.Cl.<sup>6</sup>  
H 0 1 L 25/065  
25/07  
25/18

識別記号

F I  
H 0 1 L 25/08

B

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願平10-37403  
(22) 出願日 平成10年(1998) 2月19日

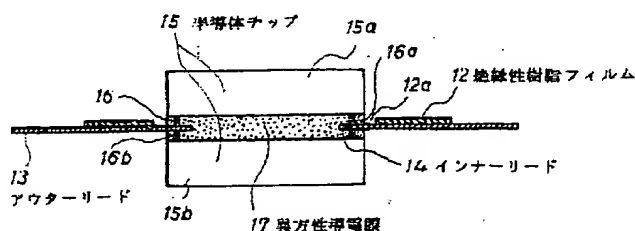
(71) 出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地  
(72) 発明者 高橋 幸夫  
神奈川県川崎市幸区小向東芝町1 株式会  
社東芝多摩川工場内  
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 半導体素子の実装スペースが厚さおよび幅方向に縮小され、半導体素子の高集積、大容量、高速度の機能が実現された半導体装置を提供する。

【解決手段】 本発明の半導体装置では、絶縁性樹脂フィルム12の片面に、アウターリード13群が外側に延出して設けられ、これらの端部に接続してインナーリード14群が配設されている。そして、このようなフィルムのデバイスホール12a内に、2個の半導体チップ15が各電極形成面を対向させて配置されており、これらの半導体チップの電極パンプ16面に、インナーリード14が挟み込まれている。また、上下2段の半導体チップ15a、15bの対向面間、および各電極パンプ16a、16bとインナーリード14との間には、異方性導電膜17の層が設けられ、半導体チップ15の電極端子とインナーリード14とは電氣的に接続されている。



## 【特許請求の範囲】

【請求項 1】 電極形成面が互に対向するように配置された 2 個の半導体素子と、外部接続用のリード、および該リードの端部に接続して形成された内部接続用のリードをそれぞれ備え、前記 2 個の半導体素子の対応する電極端子間に前記内部接続用リードがそれぞれ挟持され、これらのリードと前記電極端子とが電氣的に接続されていることを特徴とする半導体装置。

【請求項 2】 前記半導体素子の電極端子と前記内部接続用リードとの接続が、異方性導電膜を介してなされていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記 2 個の半導体素子の各電極形成面が、前記異方性導電膜によりそれぞれ被覆・封止されていることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 前記外部接続用リードおよび内部接続用リードが、それぞれ板状またはシート状の絶縁基材の少なくとも一方の主面に配設されていることを特徴とする請求項 1 乃至 3 のいずれか 1 項記載の半導体装置。

【請求項 5】 前記半導体素子の外周および該半導体素子と前記内部接続用リードとの接合部を被覆し封止する樹脂封止層を備えていることを特徴とする請求項 1 乃至 3 のいずれか 1 項記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置に係わり、特に薄く小型で高集積、大容量、高速度の半導体装置に関する。

## 【0002】

【従来の技術】 近年、周辺機器の薄型化・小型化の進行にしたがって、限られた実装エリアに半導体素子を実装し、高集積、大容量、高速度の機能を持たせた半導体装置の開発が求められており、このような要求に対して、薄い樹脂封止型の半導体パッケージを多段に重ねる手法が一般的に採られている。

【0003】 そして、さらに制約された実装エリアに半導体素子を実装したものととして、図 5 に示すように、フィルムキャリアテープ 1 に半導体チップ 2 を搭載し実装した TCP (テープキャリアパッケージ) 3 の複数個を、チップの厚さ方向に多段に重ねて配置し、各 TCP 3 の外部接続用リード 4 をマザーボードであるプリント配線基板 5 に配線パッドに接続した構造の半導体装置が提案されている。なお、図 5 において、符号 6 はインナーリード、7 は樹脂封止層をそれぞれ示している。

【0004】 また、図 6 に示すように、リードフレーム 8 のダイパッド 9 の上下両面に 2 個の半導体チップ 2 をそれぞれマウント (接着) し、これらの半導体チップ 2 の各電極端子とリードフレーム 8 とを、金線のようなボンディングワイヤ 10 により接続するとともに、外側を樹脂モールドにより封止した構造の半導体装置も提案されている。なお、図中符号 11 は、エポキシ樹脂等から

なる樹脂モールド層を示している。

## 【0005】

【発明が解決しようとする課題】 しかしながら、これらの半導体装置においては、それぞれ以下に示す問題があった。すなわち、図 5 に示す半導体装置では、複数の TCP 3 を多段に積み重ねて製造するため、積み重ねの工程が付加されて工程数が増加するばかりでなく、重ねるための構造上のスペースを必要とするという問題があった。

【0006】 また、図 6 に示す半導体装置では、半導体チップ 2 とリードフレーム 8 とをワイヤボンディングにより接続しているため、ボンディングワイヤ 10 の高さ分だけ装置が厚くなり、より薄型が要求される用途への使用には限界があった。

【0007】 本発明は、これらの問題を解決するためになされたもので、半導体素子の実装スペースが厚さ方向および幅 (長さ) 方向でさらに縮小され、かつ半導体素子の高集積、大容量、高速度の機能が実現された半導体装置を提供することを目的とする。

## 【0008】

【課題を解決するための手段】 本発明の半導体装置は、電極形成面が互に対向するように配置された 2 個の半導体素子と、外部接続用のリード、および該リードの端部に接続して形成された内部接続用のリードをそれぞれ備え、前記 2 個の半導体素子の対応する電極端子間に前記内部接続用リードがそれぞれ挟持され、これらのリードと前記電極端子とが電氣的に接続されていることを特徴とする。

【0009】 本発明において、外部接続用のリードであるアウターリード、およびその端部に接続して形成された内部接続用のリードであるインナーリードは、例えば Cu、Cu 系合金、42 アロイのような Ni 系合金等から構成され、これらの導体リードは、ポリイミド樹脂フィルムやガラスエポキシ積層基板のような板状またはシート状の絶縁基材の主面に配設された形態で、あるいはこのような絶縁基材により支持されないリードフレームの形態で用いられる。

【0010】 本発明では、対向配置された 2 個の半導体素子の電極端子間に、それぞれ内部接続用のインナーリードが挟持され、これらのインナーリードと半導体素子の電極端子とが電氣的に接続されている。インナーリードと電極端子との接続は、金等のパンプを介し加熱・加圧して接合させる方式 (インナーリードボンディング) により行なうことができるが、接続作業の効率および接続安定性の観点から、異方性導電膜 (ACF) を介して接続することが望ましい。すなわち、熱可塑性樹脂や熱硬化性樹脂などの接着性樹脂 (バインダ) 中に、微細な導電粒子を分散させた異方性導電材料から成る膜 (異方性導電膜) を介して、インナーリードと電極端子とを接続することで、安定した良好な接続を効率的に行なうこ



とができる。また、このような異方性導電膜を、半導体素子の電極端子とインナーリードとの間に介挿するとともに、2個の半導体素子間にこれらの電極形成面を覆うように設けた構造では、異方性導電膜が封止材としての機能を有するので、別に樹脂封止層を設ける必要がない。

【0011】本発明の半導体装置では、それぞれの電極形成面を対向させて配置された2個の半導体素子の各電極端子間に、内部接続用リードであるインナーリードがそれぞれ挟持されており、これらのリードと電極端子との接続が、異方性導電膜を介する等の方法で、安定的にかつ良好になされているので、厚さ方向に薄く小型で、高集積、大容量、高速度の半導体装置が得られる。

【0012】

【発明の実施の形態】以下、本発明の実施例を図面に基いて説明する。

【0013】図1は、本発明の半導体装置の第1の実施例を断面的に示したものである。図において、符号12は、デバイスホール12aを有するポリイミド樹脂フィルムのような絶縁性樹脂フィルムを示し、この絶縁性樹脂フィルム12の一方の主面(図では下面)には、外部接続用のリードであるアウターリード13群が、それぞれ絶縁性樹脂フィルム12の外周端から延出して設けられている。また、このようなアウターリード13群の内側端部に接続して、先端部がデバイスホール12aに突出したインナーリード14群が配設されている。なお、これらのアウターリード13およびインナーリード14を形成するには、銅箔のフォトエッチング等の方法が用いられる。また、アウターリード13の延出部は、マザーボード等との接続を容易にするために、折り曲げ加工等によりフォーミングしておくことも可能である。

【0014】このようなリード等の配線がなされた配線フィルムのデバイスホール12a内に、2個の半導体チップ15が、各々の電極形成面を対向させて上下に配置されており、これらの半導体チップ15の各電極端子上に金バンプのような電極バンプ16がそれぞれ設けられている。そして、フェースダウンに配置された上段の半導体チップ15aの電極バンプ16aと、フェースアップに配置された下段の半導体チップ15bの電極バンプ16bとの間に、インナーリード14の先端部が挟み込まれている。さらに、これら上下2段の半導体チップ15a、15bの対向する電極形成面間には、異方性導電膜17の層が設けられている。この異方性導電膜17の層は、半導体チップ15a、15bの各電極バンプ16a、16bとインナーリード14との間にも介挿されており、半導体チップ15の電極端子とインナーリード14とは、異方性導電膜17を介して電氣的に接続されている。

【0015】このような半導体装置は、例えば以下に示すようにして製造される。すなわち、図2(a)に示す

ように、フェースアップに配置された下段の半導体チップ15bの各電極端子上に、それぞれ電極バンプ16bを形成し、これらの電極バンプ16b上に、下段の半導体チップ15bとほぼ同じ大きさを有する第1(下側)の異方性導電膜17aを載せる。次いで、図2(b)に示すように、その上に、片面にアウターリード13およびインナーリード14等がそれぞれ形成された配線フィルムを、これらのリード形成面を下側にし、かつインナーリード14の先端部が、第1の異方性導電膜17aに接するように載せた後、配線フィルムの上から加熱・加圧機構18により、第1の異方性導電膜17aを加熱しながら加圧する。そして、こうして加圧方向に導電性が付与された第1の異方性導電膜17aを介して、下段の半導体チップ15bの電極端子とインナーリード14とを電氣的に接続する。

【0016】次に、図2(c)に示すように、こうしてインナーリード14が接続された配線フィルムのデバイスホール内で、第1の異方性導電膜17aの上に、第1の異方性導電膜17aと同じ大きさサイズの第2(上層)の異方性導電膜17bを載せ、さらにその上に、図2(d)に示すように、各電極端子にそれぞれ電極バンプ16aを形成した上段の半導体チップ15aを、フェースダウンに配置して載せる。そして、上段の半導体チップ15aの上から加熱・加圧機構18により加熱・加圧し、上段の半導体チップ15aの電極端子とインナーリード14とを、加圧方向に導電性が付与された第2の異方性導電膜17bを介して電氣的に接続する。こうして、図2(e)に示す半導体装置を得る。なお、図2

(b)および図2(d)において、符号19は加熱・加圧の際の基台を示す。また、これらの製造工程では、上下2段の半導体チップ15a、15bの電極形成面間に異方性導電膜17の層を設けるために、予め成形された異方性導電膜17を挟み込んでいるが、この方法に代わり、バインダ中に微細な導電粒子を分散させたペースト状の異方性導電材料を、そのまま所定の部位に塗布する方法を採ることもできる。

【0017】このように製造される第1の実施例の半導体装置では、2個の半導体チップ15が、電極形成面が対向するようにそれぞれ配置され、これら上下2段の半導体チップ15a、15bの各電極端子間に、それぞれインナーリード14が挟み込まれている。そして、各電極端子(電極バンプ16)とインナーリード14とが、半導体チップ15間に介挿された異方性導電膜17の層を介して電氣的に接続されているので、上段および下段の半導体チップ15a、15bの安定かつ良好な実装がなされている。また、半導体チップ15の実装スペースが、厚さ方向および幅(長さ)方向に大幅に縮小されており、薄く小型で高集積、大容量、高速度の半導体装置が得られる。

【0018】次に、本発明の半導体装置の別の実施例に

ついて説明する。

【0019】本発明の第2の実施例においては、図3に示すように、配線フィルムに代わって、CuまたはCu系合金からなるリードフレーム20が使用されており、このリードフレームのインナーリード部20aが、フェースダウンに配置された上段の半導体チップ15aの電極パンプ16aと、フェースアップに配置された下段の半導体チップ15bの電極パンプ16bとの間に挟み込まれている。そして、これら上下2段の半導体チップ15a、15bの各電極パンプ16a、16bとインナーリード部20aとの間には、異方性導電膜17の層が介挿されており、この異方性導電膜17を介して電氣的に接続されている。異方性導電膜17の層は、半導体チップ15a、15bの対向する電極形成面間にも隙間無く設けられている。また、これら2個の半導体チップ15の外側およびリードフレーム20のインナーリード部20aの外側を覆うように、エポキシ樹脂等の樹脂モールド層21が設けられており、さらに樹脂モールド層21から外側に延出したリードフレーム20のアウターリード部20bは、ガルウィング形状にフォーミングされて

いる。

【0020】このように構成される第2の実施例においても、第1の実施例と同様に、半導体チップ15の安定かつ良好な実装がなされているうえに、半導体チップ15の実装スペースが厚さおよび幅の両方向で大幅に縮小されているので、薄く小型で高集積、大容量、高速度の半導体装置が得られる。

【0021】なお、以上説明した第1および第2の実施例では、いずれも2個の半導体チップ15の対向する電極形成面間に異方性導電膜17の層が介挿され、これら

ーリードボンディング)されており、半導体チップ15の間に、異方性導電膜の層に代わって、エポキシ樹脂等の樹脂モールド層21が介挿されて封止された構造とすることもできる。

#### 【0022】

【発明の効果】以上の説明から明らかなように、本発明においては、半導体素子の実装スペースが厚さ、幅(長さ)の両方向でそれぞれ縮小されており、薄く小型で、高集積、大容量、高速度の半導体装置が得られる。

#### 【図面の簡単な説明】

【図1】本発明の半導体装置の第1の実施例を示す断面図。

【図2】実施例の半導体装置を製造する工程を示す断面図

【図3】本発明の半導体装置の第2の実施例を示す断面図。

【図4】本発明の半導体装置の別の実施例を示す断面図。

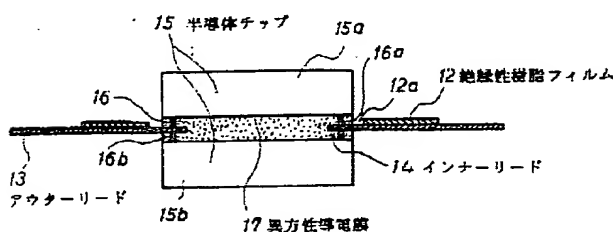
【図5】半導体素子が高密度に実装された従来からの半導体装置の一例を示す断面図。

【図6】従来からの半導体装置の別の例を示す断面図。

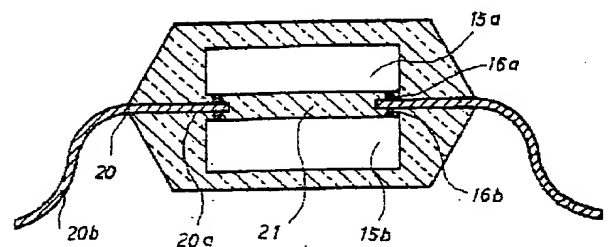
#### 【符号の説明】

- 12.....絶縁性樹脂フィルム
- 13.....アウターリード
- 14.....インナーリード
- 15.....半導体チップ
- 15a.....上段の半導体チップ
- 15b.....下段の半導体チップ
- 16.....電極パンプ
- 17.....異方性導電膜
- 17a.....第1の異方性導電膜
- 17b.....第2の異方性導電膜
- 18.....加熱・加圧機構
- 19.....基台
- 20.....リードフレーム
- 20a.....インナーリード部
- 20b.....アウターリード部
- 21.....樹脂モールド層

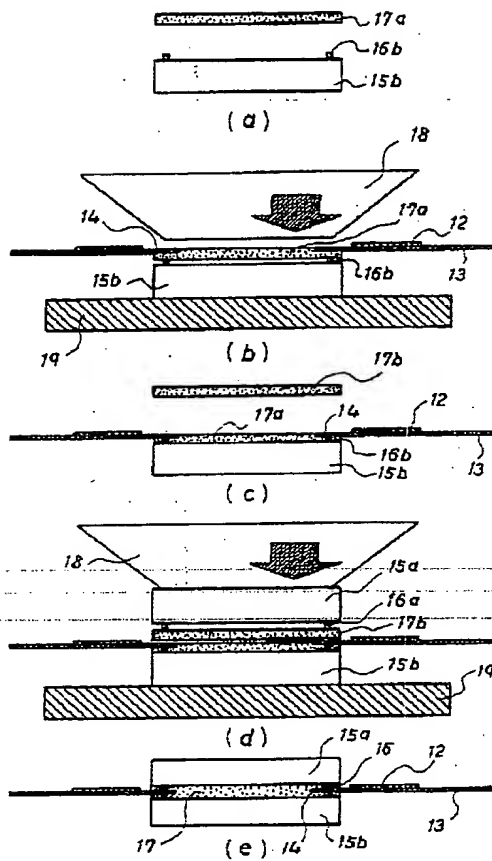
【図1】



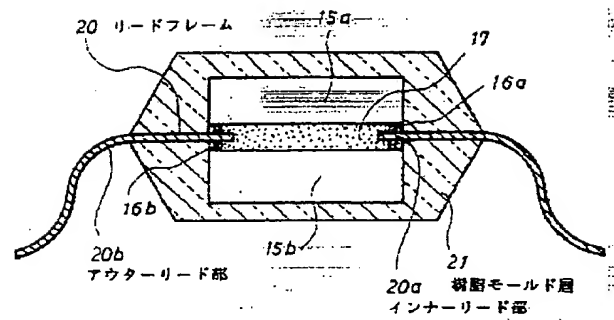
【図4】



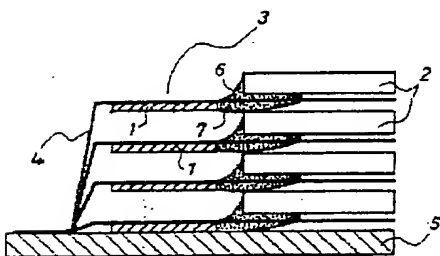
【図2】



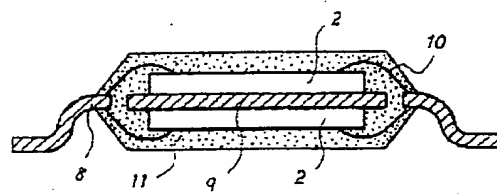
【図3】



【図5】



【図6】



**THIS PAGE BLANK (USPTO)**